



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월14일
 (11) 등록번호 10-1375124
 (24) 등록일자 2014년03월07일

(51) 국제특허분류(Int. Cl.)
B41M 5/03 (2006.01) *B41M 5/10* (2006.01)
H01L 21/28 (2006.01)
 (21) 출원번호 10-2010-0000593
 (22) 출원일자 2010년01월05일
 심사청구일자 2010년01월05일
 (65) 공개번호 10-2011-0041965
 (43) 공개일자 2011년04월22일
 (30) 우선권주장
 1020090098544 2009년10월16일 대한민국(KR)
 1020090135623 2009년12월31일 대한민국(KR)
 (56) 선행기술조사문헌
 JP2009062247 A*
 KR1020090028007 A*
 KR1020090051439 A*
 KR1020090059871 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
그래핀스퀘어 주식회사
 서울특별시 강남구 봉은사로72길 18, 301(삼성동)
 (72) 발명자
안종현
 경기도 수원시 팔달구 권광로 246, 101동 1602호
 (인계동, 래미안노블클래스)
홍병희
 서울특별시 강남구 봉은사로72길 18, 202호 (삼성동)
 (뒷면에 계속)
 (74) 대리인
특허법인엠에이피에스

전체 청구항 수 : 총 9 항

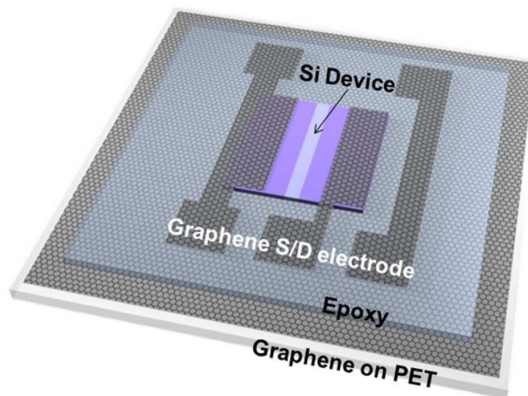
심사관 : 조형희

(54) 발명의 명칭 **그래핀 투명 전극 및 이를 포함하는 플렉시블 실리콘 박막 반도체 소자**

(57) 요약

본원은 그래핀 투명 전극, 이를 포함하는 플렉시블 실리콘 박막 반도체 소자 및 그의 제조 방법에 관한 것으로서, 화학 기상 증착법을 이용하여 제조되는 대면적 그래핀 필름을 도전막으로서 포함하는 그래핀 투명 전극을 이용하여 플렉시블하고 투명한 박막 반도체 소자를 용이하게 제조할 수 있다.

대표도 - 도3



(72) 발명자

장호욱

경기도 수원시 장안구 서부로2136번길 16, 301호
(율전동)

장석재

경기도 수원시 장안구 서부로 2066, 성균관대학교
자연과학캠퍼스 봉룡학사 지관 528호 (천천동)

구재분

대전광역시 유성구 은구비남로 55, 708동 301호 (지족동, 열매마을7단지)

이 발명을 지원한 국가연구개발사업

과제고유번호 MKE, 2008-F024-01

부처명 비영리)정부출연-정부출연(통합)-전자통신연구원(2008-)

연구사업명 국내위탁연구

연구과제명 단결정 실리콘을 이용한 플렉서블 RF 전자회로 개발

주관기관 성균관대학교산학협력단

연구기간 2009년 04월 01일 ~ 2010년 01월 31일

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

실리콘 박막, 및 상기 실리콘 박막 상부 및 하부 중 어느 한쪽 또는 양쪽에 형성된 투명 전극을 포함하는, 플렉시블 실리콘 박막 반도체 소자의 제조 방법으로서,

그래핀 성장을 위한 전이금속 촉매층에 CH₄ 를 포함하는 가스 혼합물을 950℃ 내지 1000℃ 온도 하에 공급하는 화학 기상 증착법에 의하여 성장된 그래핀 필름을 상기 실리콘 박막 상부 및 하부 중 어느 한쪽 또는 양쪽에 전사하는 것을 포함하는 공정에 의하여 상기 투명 전극을 형성하는 것을 특징으로 하며,

상기 촉매는 1 nm 내지 1000 nm 두께의 박막 형상인 것인,

플렉시블 실리콘 박막 반도체 소자의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 소자는, 기판 상에 형성된 상기 실리콘 박막, 게이트 전극, 게이트 유전층, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터로서, 상기 게이트 전극, 소스 전극 및 드레인 전극 중 하나 이상이 투명 전극이며,

그래핀 성장을 위한 전이금속 촉매층에 CH₄ 를 포함하는 가스 혼합물을 950℃ 내지 1000℃ 온도 하에 공급하는 화학 기상 증착법에 의하여 성장된 그래핀 필름을 상기 실리콘 박막 상부 및 하부 중 어느 한쪽 또는 양쪽에 전사하는 것을 포함하는 공정에 의하여 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극 중 하나 이상의 전극을 형성하는 것을 특징으로 하는, 플렉시블 실리콘 박막 반도체 소자의 제조 방법.

청구항 18

제 16 항 또는 제 17 항에 있어서,

상기 투명 전극 형성에 있어서 전사된 상기 그래핀 필름을 포토리소그래피 및 에칭에 의하여 패터닝하는 것을 추가 포함하는, 플렉시블 실리콘 박막 반도체 소자의 제조 방법.

청구항 19

제 17 항에 있어서,

유연성 투명 기판 상에 상기 그래핀 필름을 전사하여 게이트 전극을 형성하고;

상기 게이트 전극 상에 유전층을 형성하고;

상기 유전층 상에 실리콘 박막을 형성하고;

상기 실리콘 박막 상에 상기 그래핀 필름을 전사한 후 포토리소그래피 및 에칭에 의하여 상기 그래핀 필름을 패터닝함으로써 소스/드레인 전극 패턴을 형성하는 것:

을 포함하는, 플렉시블 실리콘 박막 반도체 소자의 제조 방법.

청구항 20

제 16 항에 있어서,

상기 실리콘 박막이 반투명 단결정 실리콘 박막인, 플렉시블 실리콘 박막 반도체 소자의 제조 방법.

청구항 21

제 16 항에 있어서,

상기 그래핀 필름의 두께가 0.1nm 내지 10 nm인, 플렉시블 실리콘 박막 반도체 소자의 제조 방법.

청구항 22

제 16 항 또는 제 17 항에 있어서,

상기 전이금속 촉매층은,

Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Rh, Si, Ta, Ti, W, U, V 및 Zr, 및 스테인레스 스틸로 이루어진 군으로부터 선택된 하나 이상을 포함하는 것인, 플렉시블 실리콘 박막 반도체 소자의 제조 방법.

청구항 23

제 19 항에 있어서

상기 소스/드레인 전극 패턴을 형성하는 것은, 상기 그래핀 필름을 고분자 스탬프에 접촉시킨 후 스탬핑(stamping)에 의해 상기 실리콘 박막 상에 상기 그래핀 필름을 전사한 후 포토리소그래피 및 에칭에 의하여 패터닝하여 소스/드레인 전극 패턴을 형성하는 것을 포함하는, 플렉시블 실리콘 박막 반도체 소자의 제조 방법.

청구항 24

제 16 항에 있어서,

상기 그래핀 필름은, 상기 전이금속 촉매층을 대응하는 전극 패턴 형상으로 미리 패터닝한 후 상기 화학 기상 증착법에 의하여 성장되는 것을 포함하는, 플렉시블 실리콘 박막 반도체 소자의 제조 방법.

명세서

기술분야

[0001] 본원은 그래핀 필름을 도전막으로서 포함하는, 그래핀 투명 전극, 및 이를 포함하는 플렉시블 실리콘 박막 반도체 소자 및 그의 제조 방법에 관한 것이다.

배경기술

[0002] 투명 혹은 반투명한 전자소자는 씨스루(see-through) 디스플레이, 시큐어 일렉트로닉스 등 많은 응용 분야에서 높은 관심을 끌어왔다. 유기물, 전도성 산화물, 탄소나노튜브 등의 다양한 반도체 물질들이 플렉시블(flexible) 전자공학의 잠재적인 응용 분야에서 기대된다.

[0003] 그러나 이러한 물질로 만든 소자는 낮은 캐리어 이동도 및 상대적으로 낮은 신뢰성으로 인하여 고성능 플렉시블 일렉트로닉스를 이루는데 어려움이 있었다. 최근 UIUC의 로저스 그룹에서는 고성능 플렉시블 일렉트로닉스에 응용할 수 있는 300 nm 이하의 두께로 반투명한 독립 구조의 단결정 실리콘 리본/멤브레인을 개발했다. 이러한 소자의 장점 중 하나는 소자의 전기적, 광학적 성질 및 유연성에 중요한 영향을 미치는 소스/드레인 전극이다. 투명전극용 재료로서 자주 응용되는 ITO(Indium Tin Oxide)는 높은 전도도 및 우수한 광투과도를 지니지만 구부릴 경우 쉽게 크랙(crack)이 생기는 등의 고유의 기계적인 결점도 함께 지니고 있다. 또한 인들의 소비량이 증가함에 따라 계속적으로 가격이 높아지고 있어 대체 물질의 개발이 시급한 상황이다.

[0004] 상기와 같은 문제점을 해결하기 위한 새로운 투명전극으로 개발된 예로서 탄소나노튜브를 들 수 있다. 이러한 탄소나노튜브를 소재로 한 투명전극은 기존의 액정표시소자(LCD)뿐만 아니라 유기발광 표시소자(OLED), 전자 종이 표시 소자(Electronic Paper Like Display), 또는 태양 전지(Solar Cell) 등의 다양한 소자에 응용될 수 있다. 그러나 이와 같은 탄소나노튜브는 직경 및 카이랄성(Chirality)에 따라 금속 및 반도체 특성이 달라지고, 다른 밴드갭을 갖기 때문에 정제를 통한 분리가 필요하지만 기술적 및 경제적으로 어려운 실정이다.

발명의 내용

해결하려는 과제

- [0005] 상기한 문제점을 해결하기 위하여, 본 발명자들은, 우수한 전기적, 광학적, 기계적 성질을 지닌 그래핀 필름을 대면적으로 용이하게 제조하여 이러한 그래핀 필름의 전사, 패터닝, 에칭 등의 공정을 이용하여 대면적 그래핀 투명 전극을 용이하게 제조하는 방법을 개발하여 본 발명을 완성하였다. 이에, 본원은, 화학 기상 증착법에 의하여 제조되는 대면적 그래핀 필름을 이용하여, 상기 그래핀 필름을 도전막으로서 포함하는 그래핀 투명 전극, 이를 포함하는 플렉시블 실리콘 박막 반도체 소자 및 그의 제조 방법을 제공하고자 한다.
- [0006] 그러나, 본원이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 상기와 같은 목적을 달성하기 위하여, 본원의 일 측면은, 그래핀 필름을 도전막으로서 포함하는, 그래핀 투명 전극을 제공한다. 상기 그래핀 필름은 화학 기상 증착법에 의하여 제조되는 대면적 그래핀 필름을 이용할 수 있다.
- [0008] 본원의 다른 측면은, 실리콘 박막, 및 상기 실리콘 박막 상부 및 하부 중 어느 한쪽 또는 양쪽에 형성된 투명 전극을 포함하는, 플렉시블 실리콘 박막 반도체 소자로서, 상기 투명 전극이 그래핀 필름을 도전막으로서 포함하는 그래핀 투명 전극인, 실리콘 박막 반도체 소자를 제공한다.
- [0009] 본원의 또 다른 측면은, 실리콘 박막, 및 상기 실리콘 박막 상부 및 하부 중 어느 한쪽 또는 양쪽에 형성된 투명 전극을 포함하는 플렉시블 실리콘 박막 반도체 소자의 제조 방법으로서, 상기 실리콘 박막 상부 및 하부 중 어느 한쪽 또는 양쪽에 그래핀 필름을 전사하고 필요한 경우 상기 전사된 그래핀 필름을 포토리소그래피 및 에칭에 의하여 패터닝함으로써 상기 투명 전극을 형성하는 것을 포함하는 것을 특징으로 하는, 플렉시블 실리콘 박막 반도체 소자의 제조 방법을 제공한다.

발명의 효과

- [0010] 본원에 의하면, 우수한 전기적 특성을 갖는 그래핀 필름을 도전막으로서 포함하는 투명전극을 이용하여 게이트 전극 및/또는 투명 소스/드레인 전극으로 제조함으로써 전기적 광학적 및 기계적 특성이 우수한 유연성을 갖는 반투명 플렉시블 실리콘 박막 반도체 소자를 제조할 수 있다. 본원에 의하여, 상기 그래핀 필름은 화학기상증착법에 의하여 합성된 대면적 그래핀 필름을 사용할 수 있으며, 이러한 대면적 그래핀 필름의 패터닝 및 전사 등의 공정을 이용하여 대면적의 그래핀 투명 전극 또는 대면적의 투명 전극 패턴을 용이하게 제조할 수 있고, 이러한 대면적 투명 전극 또는 투명 전극 패턴을 이용하여 대면적의 플렉시블 실리콘 박막 반도체 소자를 용이하게 제조할 수 있으며, 특히 상기 소자를 플렉시블 반투명하게 대면적으로 용이하게 제조할 수 있어, 다양한 전기, 전자 디바이스에 응용할 수 있다. 상기 플렉시블 실리콘 박막 반도체 소자는 박막 트랜지스터로서 사용될 수 있어, 액정디스플레이(LCD), 광전변환 소자(Photovoltaic Device), 유기발광소자(OLED), 센서, 메모리, 또는 집적회로에 응용될 수 있다.

도면의 간단한 설명

- [0011] 도 1은 본원의 일 실시예에 따른 복수의 반투명 반도체 소자의 제조 방법을 보여 주는 개략도이고,
- 도 2는 본원의 일 실시예에 따른 제조 방법에 의해 제조된 반투명 반도체 소자에 대한 단면도이다.
- 도 3은 본원의 일 실시예에 따른 제조 방법에 의해 제조된 반투명 반도체 소자의 모식도이고,
- 도 4는 본원의 일 실시예에 따른 제조 방법에 의해 제조된 반투명 반도체 소자가 유연성 기관 상에 전사된 것을 보여 주는 사진이고,
- 도 5는 본원의 일 실시예에 따른 제조 방법에 의해 제조된 반투명 반도체 소자의 투과도를 보여 주는 그래프이고,
- 도 6은 본원의 일 실시예에 따른 제조 방법에 의해 제조된 반투명 반도체 소자의 라만 분광 그래프이고,
- 도 7은 본원의 일 실시예에 따른 제조 방법에 의해 제조된 유연성 기관 상에 전사된 반투명 반도체 소자를 광학

현미경으로 관찰한 사진이고,

도 8은 본원의 일 실시예에 따른 제조 방법에 의해 제조된 반투명 반도체 소자를 주사 전자 현미경(SEM)으로 관찰한 사진이고,

도 9는 도 1에 의해 제조된 플렉시블 반투명 박막 트랜지스터의 드레인 전압 0.1V 하에서의 게이트 전압에 대한 드레인 전류를 나타낸 트랜스퍼 곡선이다.

도 10은 도 1에 의해 제조된 플렉시블 반투명 박막 트랜지스터의 I-V 특성 곡선이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 첨부한 도면을 참조하여 본원이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 구현예 및 실시예를 상세히 설명한다.
- [0013] 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 구현예 및 실시예에 한정되지 않는다. 그리고 도면에서 본원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0014] 본원의 일 측면은, 그래핀 필름을 도전막으로서 포함하는, 그래핀 투명 전극을 제공한다. 상기 그래핀 필름은 화학 기상 증착법에 의하여 제조되는 대면적 그래핀 필름을 이용할 수 있다.
- [0015] 그래핀은 전기적, 기계적, 화학적인 특성이 매우 안정적이고 뛰어난 뿐 아니라 우수한 전도성 물질로서 실리콘 보다 100 배 빠르게 전자를 이동시키며 구리보다도 약 100 배 가량 더 많은 전류를 흐르게 할 수 있다. 또한, 그래핀은 상대적으로 가벼운 원소인 탄소만으로 이루어져 1차원 또는 2차원 나노패턴을 가공하기가 매우 용이하다는 장점이 있으며, 이를 활용하면 그래핀의 반도체-도체 성질을 조절할 수 있을 뿐 아니라 탄소가 가지는 화학결합의 다양성을 이용해 센서, 메모리 등 광범위한 기능성 소자의 제작도 가능하다.
- [0016] 이에 본원에 있어서, 상기 그래핀 필름은 화학기상증착법에 의하여 합성된 대면적 그래핀 필름을 전사한 것일 수 있으며, 이러한 대면적 그래핀 필름의 패터닝 및 전사 등의 공정을 이용하여 대면적의 그래핀 투명 전극 또는 대면적의 투명 전극 패턴을 용이하게 제조할 수 있고, 이러한 대면적 그래핀 투명 전극 또는 투명 전극 패턴을 이용하여 대면적의 플렉시블 실리콘 박막 반도체 소자를 용이하게 제조할 수 있으며, 특히 상기 소자를 다양한 플렉시블 투명 전기, 전자 디바이스에 응용할 수 있다.
- [0017] 예시적 구현들에 있어서, 상기 그래핀 필름을 투명 및/또는 유연성 기관이나 다른 투명 및/또는 유연성 박막 상에 전사함으로써 상기 투명 전극을 플렉시블(flexible)하게 할 수 있다.
- [0018] 예시적 구현들에 있어서, 상기 그래핀 필름의 두께가 0.1 nm 내지 10 nm인 투명 박막일 수 있으나, 이에 제한되는 것은 아니다.
- [0019] 예시적 구현들에 있어서, 상기 투명 전극의 면저항이 1 내지 1000 Ω/sq 일 수 있으나, 이에 제한되는 것은 아니다.
- [0020] 예시적 구현들에 있어서, 상기 투명 전극의 투과도가 70% 이상, 예를 들어, 70% 이상 내지 98% 이하일 수 있으나, 이에 제한되는 것은 아니다.
- [0021] 예시적 구현들에 있어서, 상기 그래핀 필름은, 그래핀 성장을 위한 전이금속 촉매층에 탄소 소스 및 열을 제공하여 화학 기상 증착법에 의하여 성장된 것 일 수 있으나, 이에 제한되는 것은 아니다.
- [0022] 예시적 구현들에 있어서, 상기 전이금속 촉매층은, Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Rh, Si, Ta, Ti, W, U, V 및 Zr, 및 스테인레스 스틸로 이루어진 군으로부터 선택된 하나 이상을 포함하는 것 일 수 있으나, 이에 제한되는 것은 아니다. 상기 전이금속 촉매층은 박막 형태일 수 있으며, 예를 들어, 1 내지 1000 nm, 1 내지 500 nm, 1 내지 400 nm, 또는, 100 내지 400 nm 두께의 박막일 수 있으나, 이에 제한되는 것은 아니다.
- [0023] 상기 예시적 구현들에 있어서, 상기 그래핀 필름이 패터닝된 상기 전이금속 촉매층을 이용하여 성장된 것 일 수 있으나, 이에 제한되는 것은 아니다.

- [0024] 본원의 다른 측면은, 본원의 다른 측면은, 실리콘 박막, 및 상기 실리콘 박막 상부 및 하부 중 어느 한쪽 또는 양쪽에 형성된 하나 이상의 투명 전극을 포함하는, 플렉시블 실리콘 박막 반도체 소자로서, 상기 투명 전극이 상기한 바와 같은 본원에 따른 그래핀 필름을 도전막으로서 포함하는 그래핀 투명 전극인, 플렉시블 실리콘 박막 반도체 소자를 제공한다.
- [0025] 예시적 구현들에 있어서, 상기 실리콘 박막은 단결정 실리콘 박막을 포함하는 것 일 수 있으나, 이에 제한되는 것은 아니다.
- [0026] 예시적 구현들에 있어서, 상기 실리콘 박막은 반투명한 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0027] 예시적 구현들에 있어서, 상기 플렉시블 실리콘 박막 반도체 소자는, 기판 상에 형성된 상기 실리콘 박막, 게이트 전극, 게이트 유전층, 소스 전극 및 드레인 전극을 포함하는 실리콘 박막 트랜지스터로서, 상기 게이트 전극, 소스 전극 및 드레인 전극 중 한 개 이상이 상기 그래핀 투명 전극일 수 있으나, 이에 제한되는 것은 아니다.
- [0028] 예시적 구현들에 있어서, 상기 실리콘 박막 트랜지스터는 탑 컨택 구조, 바텀 컨택 구조, 바텀 게이트 또는 탑 게이트 구조일 수 있다.
- [0029] 예시적 구현들에 있어서, 상기 플렉시블 실리콘 박막 반도체 소자는, 하기를 포함하는 실리콘 박막 트랜지스터 일 수 있으나, 이에 제한되는 것은 아니다(도 2 참조):
- [0030] 유연성 투명 기판(11);
- [0031] 상기 기판 상에 전사된 그래핀 필름을 포함하는 게이트 전극(12);
- [0032] 상기 게이트 전극 상에 형성된 유전층(13);
- [0033] 상기 유전층 상에 형성된 반투명 단결정 실리콘 박막(14); 및
- [0034] 상기 단결정 실리콘 박막 상에 형성된 그래핀 필름을 포함하는 소스/드레인 전극 패턴(15a, 15b).
- [0035] 예시적 구현들에 있어서, 상기 실리콘 박막 반도체 소자는 플렉시블 반투명한 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0036] 예시적 구현들에 있어서, 상기 게이트 전극, 유전층, 및 단결정 실리콘 박막 은 각각의 형성 시 패터닝되거나 또는 상기 소자 제조 후 패터닝될 수 있으나, 이에 제한되는 것은 아니다.
- [0037] 예시적 구현들에 있어서, 상기 그래핀 필름의 두께가 0.1 nm 내지 10 nm인 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0038] 예시적 구현들에 있어서, 상기 그래핀 필름은, 그래핀 성장을 위한 전이금속 촉매층에 탄소 소스 및 열을 제공하여 화학 기상 증기 기상법에 의하여 성장된 것일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 전이금속 촉매층은, Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Rh, Si, Ta, Ti, W, U, V 및 Zr, 및 스테인레스 스틸로 이루어진 군으로부터 선택된 하나 이상을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0039] 예시적 구현들에 있어서, 상기 유연성 투명 기판은 투명 고분자를 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 유연성 투명 기판은 투명 고분자로서 당업계에 알려진 물질을 당업자가 적의 선택하여 사용할 수 있으며, 비제한 예로서, 폴리에틸렌 테레프탈레이트 (Polyethylene terephthalate, PET), 폴리 카보네이트 (Polycarbonate PC), 폴리에테르설폰(Polyethersulfone,PES) 폴리에틸렌나프탈레이트(Polyethylene naphthalate PEN) 일 수 있으나, 이에 제한되는 것은 아니다.
- [0040] 예시적 구현들에 있어서, 상기 유전층은 투명 경화성 수지를 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 경화성 수지는 에폭시 수지일 수 있으나, 이에 제한되는 것은 아니다.
- [0041] 본원의 또 다른 측면은, 실리콘 박막, 및 상기 실리콘 박막 상부 및 하부 중 어느 한쪽 또는 양쪽에 형성된 투명 전극을 포함하는, 플렉시블 실리콘 박막 반도체 소자의 제조 방법으로서, 그래핀 성장을 위한 전이금속 촉매층에 탄소 소스 및 열을 제공하여 화학 기상 증기 기상법에 의하여 성장된 그래핀 필름을 상기 실리콘 박막 상부 및 하부 중 어느 한쪽 또는 양쪽에 전사하는 것을 포함하는 공정에 의하여 상기 투명 전극을 형성하는 것을 특징으로 하는, 플렉시블 실리콘 박막 반도체 소자의 제조 방법을 제공한다.

- [0042] 예시적 구현예들에 있어서, 상기 플렉시블 실리콘 박막 반도체 소자는, 기판 상에 형성된 상기 실리콘 박막, 게이트 전극, 게이트 유전층, 소스 전극 및 드레인 전극을 포함하는 실리콘 박막 트랜지스터로서, 상기 게이트 전극, 소스 전극 및 드레인 전극 중 하나 이상이 투명 전극이며, 그래핀 성장을 위한 전이금속 촉매층에 탄소 소스 및 열을 제공하여 화학 기상 증기 기상법에 의하여 성장된 그래핀 필름을 상기 실리콘 박막 상부 및 하부 중 어느 한쪽 또는 양쪽에 전사하는 것을 포함하는 공정에 의하여 상기 게이트 전극, 소스 전극 및 드레인 전극 중 하나 이상의 전극을 형성할 수 있다.
- [0043] 예시적 구현예들에 있어서, 상기 투명 전극 형성에 있어서 필요한 경우 상기 전사된 그래핀 필름을 포토리소그래피 및 에칭에 의하여 패터닝하는 것을 추가 포함할 수 있다.
- [0044] 예시적 구현예들에 있어서, 상기 실리콘 박막 트랜지스터는 탑 콘택 구조, 바텀 콘택 구조, 바텀 게이트 구조 또는 탑 게이트 구조로 제조될 수 있다.
- [0045] 예시적 구현예들에 있어서, 상기 실리콘 박막 트랜지스터는 하기를 포함하여 방법에 의하여 제조될 수 있으나, 이에 제한되는 것은 아니다 (도 2 참조):
- [0046] 유연성 투명 기판(11) 상에 그래핀 필름을 전사하여 게이트 전극(12)을 형성하고;
- [0047] 상기 게이트 전극(12) 상에 유전층(13)을 형성하고;
- [0048] 상기 유전층(13) 상에 실리콘 박막(14)을 형성하고;
- [0049] 상기 실리콘 박막(14) 상에 그래핀 필름을 전사한 후 포토리소그래피 및 에칭에 의하여 상기 그래핀 필름을 패터닝함으로써 소스/드레인 전극 패턴(15a, 15b)을 형성하는 것.
- [0050] 예시적 구현예들에 있어서, 상기 게이트 전극, 상기 유전층 및 상기 실리콘 박막은 각각 패터닝될 수 있으나, 이에 제한되는 것은 아니다.
- [0051] 비제한적 예로서, 상기 유전층은 투명 경화성 수지를 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 경화성 수지는 당업계에서 공지된 것들을 적의 선택하여 사용할 수 있으며, 예를 들어, 에폭시 수지 (예: SU-8), 폴리비닐페놀수지, 실록세인(siloxane) 계열 물질일 수 있으나, 이에 제한되는 것은 아니다.
- [0052] 예시적 구현예들에 있어서, 상기 실리콘 박막이 단결정 실리콘 박막일 수 있으나, 이에 제한되는 것은 아니다. 상기 단결정 실리콘 박막은 반투명할 수 있으나, 이에 제한되는 것은 아니다.
- [0053] 예시적 구현예들에 있어서, 상기 그래핀 필름의 두께가 0.1 nm 내지 10 nm 일 수 있으나, 이에 제한되는 것은 아니다.
- [0054] 예시적 구현예들에 있어서, 상기 그래핀 필름은, 그래핀 성장을 위한 전이금속 촉매층에 탄소 소스 및 열을 제공하여 화학 기상 증기 기상법에 의하여 성장된 것 일 수 있으나, 이에 제한되는 것은 아니다.
- [0055] 예시적 구현예들에 있어서, 상기 전이금속 촉매층은, Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Rh, Si, Ta, Ti, W, U, V 및 Zr, 및 스테인레스 스틸로 이루어진 군으로부터 선택된 하나 이상을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0056] 예시적 구현예들에 있어서, 상기 소스/드레인 전극 패턴을 형성하는 것은, 그래핀 필름을 고분자 스탬프에 접촉시킨 후 스탬핑(stamping)에 의해 상기 실리콘 박막 상에 상기 그래핀 필름을 전사한 후 포토리소그래피 및 에칭에 의하여 패터닝하여 소스/드레인 전극 패턴을 형성하는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0057] 예시적 구현예들에 있어서, 상기 투명 전극은, 예를 들어, 상기 소스/드레인 전극 패턴 형태로 패터닝된 상기 전이금속 촉매층 상에 화학 기상 증착법에 의하여 그래핀 필름을 성장시킨 후 상기 실리콘 박막 또는 실리콘 박막 패턴 상에 전사함으로써 상기 소스/드레인 전극 패턴을 형성하는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다. 이러한 방법의 경우 그래핀 필름의 전사 후 별도의 패터닝 과정이 필요없는 장점이 있다.
- [0058] 예시적 구현예들에 있어서, 상기 투명 전극은, 그래핀 성장을 위한 금속 촉매층 상에 형성된 그래핀 필름을 포토리소그래피와 에칭을 통하여 대응하는 전극 형태로 패터닝한 후 패터닝된 그래핀을 스탬프를 이용하여 실리콘 박막 또는 그의 패턴에 전사하여 투명 전극을 형성할 수 있다. 이 경우에도 역시 전사 후 별도의 패터닝 과정이 필요없는 장점이 있다.

- [0059] 이하, 본원의 그래핀 투명 전극, 이를 포함하는, 플렉시블 실리콘 박막 반도체 소자 및 그의 제조 방법에 대하여 구현예 및 실시예를 도면을 이용하여 자세히 설명한다. 그러나, 본원이 이에 제한되는 것은 아니다.
- [0060] 도 1은 본원의 일 실시예에 따른 그래핀 투명 전극을 포함하는, 플렉시블 실리콘 박막 반도체 소자의 제조 방법을 보여 주는 개략도이다.
- [0061] 상기 본원의 일 실시예에 따른 그래핀 투명 전극을 포함하는, 플렉시블 실리콘 박막 반도체 소자는, 기판 상에 형성된 상기 실리콘 박막, 게이트 전극, 게이트 유전층, 소스 전극 및 드레인 전극을 포함하는 실리콘 박막 트랜지스터로서, 상기 게이트 전극, 소스 전극 및 드레인 전극 중 하나 이상이 투명 전극이며, 그래핀 성장을 위한 전이금속 촉매층에 탄소 소스 및 열을 제공하여 화학 기상 증기 기상법에 의하여 성장된 그래핀 필름을 상기 실리콘 박막 상부 및 하부 중 어느 한쪽 또는 양쪽에 전사하는 것을 포함하는 공정에 의하여 상기 게이트 전극, 소스 전극 및 드레인 전극 중 하나 이상의 전극을 형성할 수 있다.
- [0062] 구체적으로, 먼저, 유연성 투명 기판 상에 그래핀 필름을 전사하여 그래핀 필름을 포함하는 게이트 전극 층을 형성한다. 상기 게이트 전극 층에 유전층을 형성할 수 있다. 예를 들어, 상기 유연성 투명 기판은 투명 플라스틱 또는 투명 고분자를 포함할 수 있다. 예를 들어, 상기 유연성 투명 기판은 투명 고분자로서 당업계에 알려진 물질을 당업자가 적의 선택하여 사용할 수 있으며, 비제한 예로서, 폴리에틸렌 테레프탈레이트 (Polyethylene terephthalate, PET), 폴리카보네이트 (Polycarbonate PC), 폴리에테르설폰 (Polyethersulfone, PES) 폴리에틸렌나프탈레이트 (Polyethylene naphthalate PEN) 일 수 있으나, 이에 제한되는 것은 아니다.
- [0063] 상기 유전층은 경화성 고분자를 포함할 수 있는데, 예를 들어, 에폭시 수지를 포함할 수 있으며, 이후 전사될 단결정 실리콘층과 상기 유연성 기판 상에 전사된 그래핀 필름 간의 접착력을 높이고 유전막으로 사용하기 위해 형성될 수 있다.
- [0064] 이후, 상기 유전층 상에 채널층으로서 실리콘 박막을 형성한다. 예를 들어, 단결정 SOI(single-crystal silicon-on-insulator) 웨이퍼(SOITEC unibond; 상부 실리콘 박막 두께 290 nm, 비저항 13.5~22.5 ohmcm) 상에 마스크로 사용할 산화 실리콘층을 증착하고 포토리소그래피 및 에칭 과정 등을 이용하여 소스 및 드레인 영역 (패턴)을 지정할 수 있다. 이후, 상기 소스/드레인 영역 상에 P509(Filmtronics)와 같은 인을 함유한 도펀트를 SOD 법(spin-on-dopant)을 통하여 코팅하고 어닐링 처리하여 상기 소스/드레인 영역을 도핑할 수 있으며, 이후, 상기 마스크를 제거할 수 있다. 여기서, 상기 단결정 실리콘 박막의 경우 얇게 증착하면 빛이 반투과할 수 있으므로, 바람직하게는 상기 단결정 실리콘 박막의 두께를 10 nm 내지 2 μm로 형성할 수 있다.
- [0065] 상기 상부 단결정 실리콘층 하부에는 희생층인 산화 실리콘층이 형성되어 있는데, 이를 에칭하여 제거하고, 광경화성 고분자 재질의 스탬프를 이용한 스탬핑(stamping) 방법을 통하여 상기 단결정 실리콘층을 전술한 유연성 기판/그래핀 필름/유전층 적층체의 상기 유전체 상에 전사시킬 수 있다. 여기서 상기 희생층은 제거 시 화학약품으로부터 실리콘 반도체 막의 손상을 제거하기 위해 실리콘 반도체막 보다 상대적으로 선택적 식각률이 높은 재료이어야 한다. 그리고 상기 광경화성 고분자는 빛에 의하여 선택적으로 강하게 경화되고 약 500 nm 정도의 두께와 3.1 정도의 유전 상수를 지님을 특징으로 한다.
- [0066] 이후 반도체 소자로 형성되는 영역을 제외한 나머지 영역의 단결정 실리콘층을 에칭을 통하여 제거하여 패터닝함으로써 복수의 단결정 실리콘 영역을 갖는 패턴을 형성할 수 있으며, 이를 통해 반도체 소자 사이의 원하지 않는 전류를 차단시켜 줄 수 있다.
- [0067] 한편, 상기 게이트 전극, 소스 전극 및 드레인 전극 중 하나 이상은 상기 그래핀 투명 전극일 수 있다.
- [0068] 이에, 상기 게이트 전극, 소스 전극 및 드레인 전극 중 하나 이상이 상기 그래핀 투명 전극인 경우, 이러한 투명 전극 제조에 사용되는 그래핀 필름은 화학 증기 증착법(CVD)으로 형성될 수 있는데, 이는 그래핀 성장을 위한 전이금속 촉매층에 탄소 소스 및 열을 제공하는 것을 포함할 수 있으며, 상기 전이금속 촉매층은 Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Rh, Si, Ta, Ti, W, U, V 및 Zr, 및 스테인레스 스틸로 이루어진 군으로부터 선택된 하나 이상을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 전이금속 촉매층은 효율적인 건식 전사, 즉 전사 시 모재 기판과의 효율적인 분리를 위하여 500 nm 정도의 두께가 바람직하며, 예를 들어, 상부층으로 300 nm 이상의 두께를 가진 산화 실리콘층을 갖는 실리콘 웨이퍼 상에 증착될 수 있다.

- [0069] 상기 전이금속 촉매층에 성장된 그래핀 박막의 층 수는 투과도 및 면저항 값에 영향을 미칠 수 있다. 상기 그래핀 박막은 약 8층 정도에서 $500 \pm 100 \text{ } \Omega/\text{sq}$ 정도의 면저항값을 갖는다. 또한, 예를 들어, 구리 호일(Cu Foil)을 전이금속 촉매로 이용하여 1-3 층의 얇은 그래핀 박막을 성장시킨 경우에는 강한 산을 이용한 도핑법으로 $100 \text{ } \Omega/\text{sq}$ 이하의 면저항값을 갖도록 할 수 있다.
- [0070] 상기 게이트 전극, 소스 전극 및 드레인 전극 중 하나 이상이 상기 그래핀 상기 투명 전극인 경우, 이러한 투명 전극 제조를 위하여 상기한 바와 같이 제조된 그래핀 필름을 원하는 기판 또는 실리콘 박막 상에 전사하는 방법으로는, 스탬프를 이용하는 건식 전사법, 물 위에 떠있는 그래핀을 직접 전사시키는 습식 방법 등이 있다. 상기 건식 전사법은 보통 금속 촉매와 함께 스탬프에 옮기고, 금속을 에칭한 후에 프린팅하여 원하는 기판에 옮기는 과정을 거친다. 반면, 상기 습식 전사법은 기판 전체를 에칭 용액에 띄워서 산화 실리콘 층과 금속 촉매층을 모두 에칭해낸 후 그래핀이 계속 물 위에 떠 있게 되며, 전사하고 싶은 기판을 상기 그래핀이 떠있는 물속에 담겨 상기 기판과 함께 상기 물위에 떠있는 그래핀을 떠냄으로써 상기 기판 상에 그래핀 필름을 전사할 수 있다. 또한, 상기 그래핀과 기판의 접착력이 우수할 경우 위쪽에서 스탬핑하듯이 기판으로 찍어내는 방법도 가능하다.
- [0071] 예를 들어, 상기 게이트 전극이 상기 그래핀 투명 전극인 경우, 상기한 바와 같이 화학 기상 증착법에 의하여 형성된 그래핀 필름을 상기 유연성 기판 상에 전사함으로써 상기 게이트 전극이 형성될 수 있다.
- [0072] 예를 들어, 상기 소스 전극 및/또는 드레인 전극이 상기 그래핀 투명 전극인 경우, 상기 소스 전극 및/또는 드레인 전극 형성을 위하여 전술한 유연성 기판/그래핀 필름(게이트 전극이 그래핀 투명 전극인 경우)/유전층/실리콘 박막 적층체의 상기 실리콘 박막 상에 전사될 그래핀 필름을 준비할 수 있다. 상기 실리콘 박막 상에는 전술한 바와 같이 소스/드레인 영역이 지정되어 있다. 예를 들어, 상기 그래핀 박막은 고분자 재질의 스탬프, 예를 들어, PDMS 스탬프를 이용한 건식 전사법, 물 위에 부유시킨 후 아래에서 상기 그래핀 박막을 띄워 올리거나 위에서 찍어내는 습식 전사법, 롤투를 전사법 등을 통하여 앞서 준비한 유연성 기판/그래핀 필름(게이트 전극이 그래핀 투명 전극인 경우)/유전층/실리콘 박막 적층체의 상기 실리콘 박막 상에 전사시킬 수 있다. 이후, 전사된 상기 그래핀 필름을 포토리소그래피 및 RIE(reactive ion etching) 등의 방법을 통하여 상기 단결정 실리콘 박막 또는 그의 패턴 상에 지정된 소스/드레인 영역에 대응하여 패터닝함으로써 그래핀 필름을 포함하는 소스/드레인 전극 패턴을 형성할 수 있다.
- [0073] 또는, 예시적 구현예들에서, 상기 소스/드레인 전극 패턴 형태로 패터닝된 상기 전이금속 촉매층 상에 화학 기상 증착법에 의하여 그래핀 필름을 성장시킨 후 상기 실리콘 박막 또는 실리콘 박막 패턴 상에 전사함으로써 상기 소스/드레인 전극 패턴을 형성할 수 있다. 이와 같이 전사 전 미리 패터닝된 상기 전이금속 촉매층 상에서 성장된 그래핀 필름 패턴의 전사 방법으로는 앞서 설명한 건식 전사법 또는 습식 전사법을 이용할 수 있으며, 바람직하게는 건식 전사법을 사용할 수 있다.
- [0074] 예시적 구현예들에 있어서, 상기 게이트 전극, 상기 유전층 및 상기 실리콘 박막은 각각 패터닝될 수 있으나, 이에 제한되는 것은 아니다.
- [0075] 상기한 바와 같이 상기 단결정 실리콘 박막 상에 전기적으로 접촉되는 그래핀 필름을 포함하는 소스/드레인 전극 패턴을 형성함으로써, 반투명 실리콘 박막 반도체 소자를 대량으로 용이하게 형성할 수 있으며, 유연하고 (flexible), 신축성(stretchable) 있는 반투명 실리콘 박막 반도체 소자를 얻을 수 있다.

실시예 1

[0076] 1. Ni 촉매층 상에서 그래핀 박막의 성장

[0077] 상부에 300nm 이상의 두께를 가진 산화 실리콘층을 지닌 실리콘 웨이퍼 위에 약 500 nm 두께의 Ni 촉매층을 형성하고, 직경 3.9 인치의 석영 튜브 내에 서 상기 Ni 촉매층 상에 탄소 소스를 포함하는 가스 혼합물($\text{CH}_4 : \text{H}_2 : \text{Ar} = 50 : 65 : 200 \text{ sccm}$)을 공급하여 상기 Ni 촉매층 상에 그래핀 필름을 섭씨 950~1000도에서 성장시켰다. 이후, 단시간에 He, Ar과 같은 불활성 기체를 흘려 주어 $\sim 10^\circ\text{C}/\text{s}$ 또는 그 이하의 속도로 실온으로 냉각하여, 상기 Ni 촉매층 상에 성장된 그래핀 박막을 수득하였다.

[0078] 2. 실리콘 박막 반도체 소자의 제조

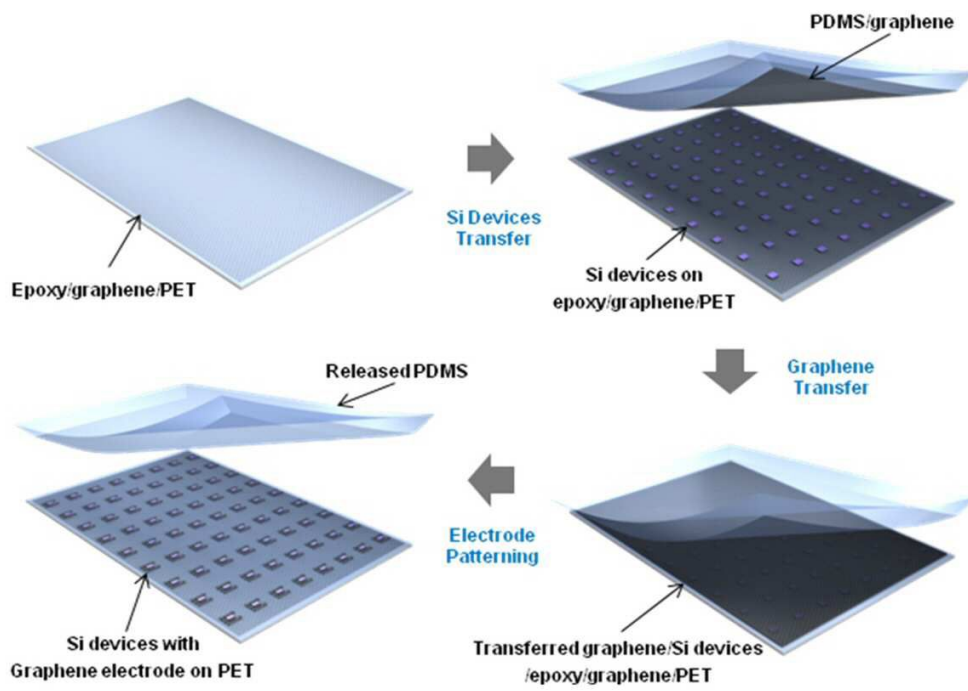
- [0079] 먼저 PET 유연성 투명 기판 상에 상기 수득한 그래핀 필름을 전사하여 투명한 게이트 전극을 형성하고, 그 위에 유전층 및 접착층으로서 에폭시 수지층을 형성하여, PET/그래핀/에폭시 수지 적층체를 수득하였다.
- [0080] 한편, 단결정 SOI(single-crystal silicon-on-insulator) 웨이퍼(SOITEC unibond ; 상부 단결정 실리콘 박막 두께 290 nm, 비저항 13.5~22.5 ohmcm) 상에 마스크로 사용할 산화 실리콘층을 증착하고 사진식각인쇄술 및 에칭 과정을 통하여 복수의 소스 및 드레인 영역을 지정하였다. 이후 상기 복수의 소스/드레인 영역 각각에 P509(Filmtronics)와 같은 인을 함유한 도펀트를 SOD 방법을 통하여 코팅시키고 950℃에서 10 초간 즉각적으로 어닐링 처리하여 $2 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 상기 복수의 소스/드레인 영역 각각을 도핑하였다.
- [0081] 이후 단결정 실리콘 박막 하부의 산화 실리콘층을 에칭을 통해 제거시킨 후 광경화성 고분자 재질의 스탬프를 이용한 스탬핑 방법을 통하여 상기 단결정 실리콘층을 상기 PET/그래핀/에폭시 수지 적층체의 에폭시 수지층 상에 전사시켰다. 그리고 반도체 소자가 형성되는 영역을 제외한 나머지 영역의 단결정 실리콘층을 에칭을 통하여 제거하여 패터닝함으로써 채널층으로서 단결정 실리콘 패턴을 형성하였다.
- [0082] 이후, 상기한 방법과 동일한 방법으로 제조한 별도의 투명그래핀 필름을 PDMS 스탬프에 접촉시킨 후, 상기 에폭시 수지층 상에 스탬핑 방법을 통해 전사시켰다. 이후 포토리소그래피 및 에칭 등의 과정을 통하여 상기 단결정 실리콘 박막 패턴 상의 각 실리콘 영역 상에 전기적으로 접촉되는 투명 소스/드레인 전극 패턴을 형성함으로써, 플렉시블 반투명 실리콘 박막 반도체 소자를 완성하였다.
- [0083] 도 3은 본원의 일 실시예에 따른 그래핀 투명 전극을 포함하는 실리콘 박막 반도체 소자의 모식도이고, 도 4는 본원의 일 실시예에 따라 제조된 플렉시블 반투명 실리콘 박막 반도체 소자를 보여 주는 사진이고, 도 5는 본원의 일 실시예에 따른 플렉시블 반투명 반도체 소자의 투과도를 보여 주는 그래프이고, 도 6은 본원의 일 실시예에 따른 제조 방법에 의해 제조된 플렉시블 반투명 실리콘 박막 반도체 소자의 라만 분광 그래프이고, 도 7은 본원의 일 실시예에 따른 실리콘 박막 반도체 소자를 광학 현미경으로 관찰한 사진이고, 도 8은 본원의 일 실시예에 따른 반투명 실리콘 박막 반도체 소자를 주사 전자 현미경(SEM)으로 관찰한 사진이며, 도 9는 도 1에 의해 제조된 플렉시블 반투명 실리콘 박막 트랜지스터의 드레인 전압 0.1V 하에서의 게이트 전압에 대한 드레인 전류를 나타낸 곡선이다. 상기 소자에서의 유효 이동도는 약 $50 \text{ cm}^2/\text{Vs}$, On/Off 비 10^4 , 문턱 전압 약 1V를 나타내며, 도 10은 본원의 일 실시예에 따른 반투명 실리콘 박막 반도체 소자(트랜지스터)의 다양한 게이트 전압에 따른 I-V 특성 곡선이다.
- [0084] 이상, 실시예를 들어 본원을 상세하게 설명하였으나, 본원은 상기 실시예들에 한정되지 않으며, 여러 가지 다양한 형태로 변형될 수 있으며, 본원의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 변형이 가능함이 명백하다.

부호의 설명

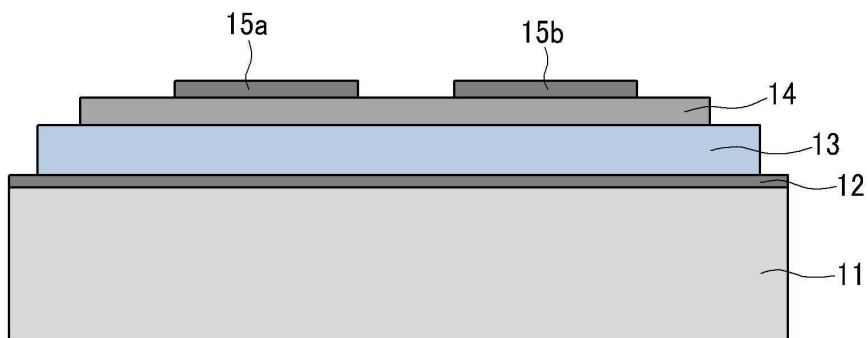
- [0085] 11 : 유연성 투명 기판
- 12 : 게이트 전극
- 13 : 유전층
- 14 : 단결정 실리콘 박막
- 15a, 15b : 소스/드레인 전극(패턴)

도면

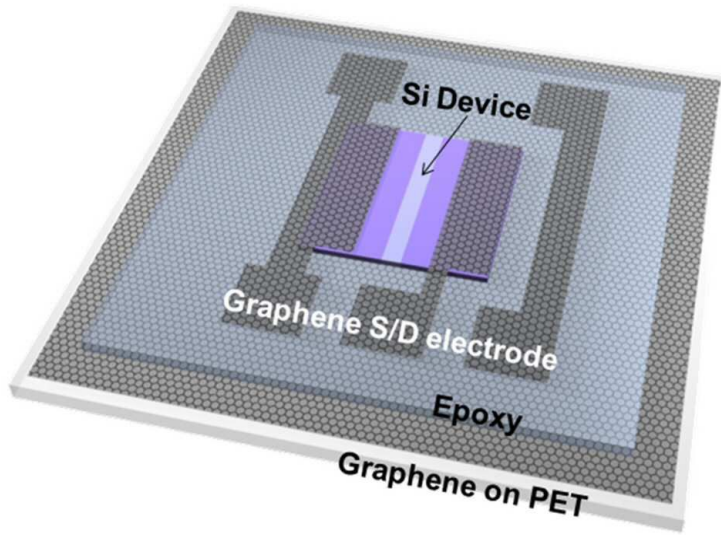
도면1



도면2



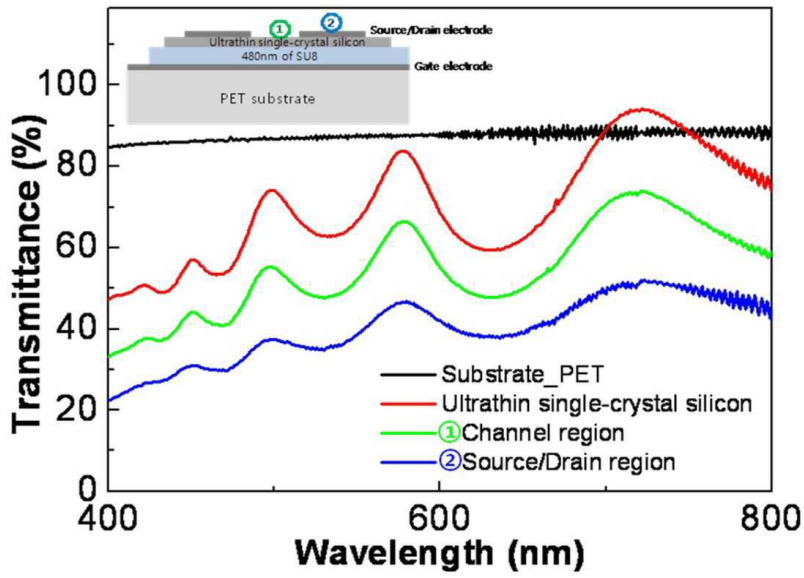
도면3



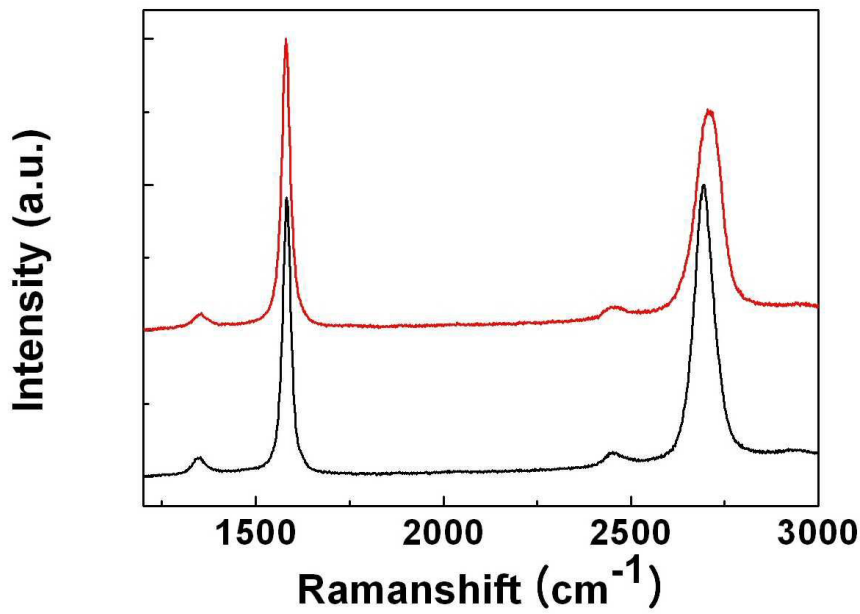
도면4



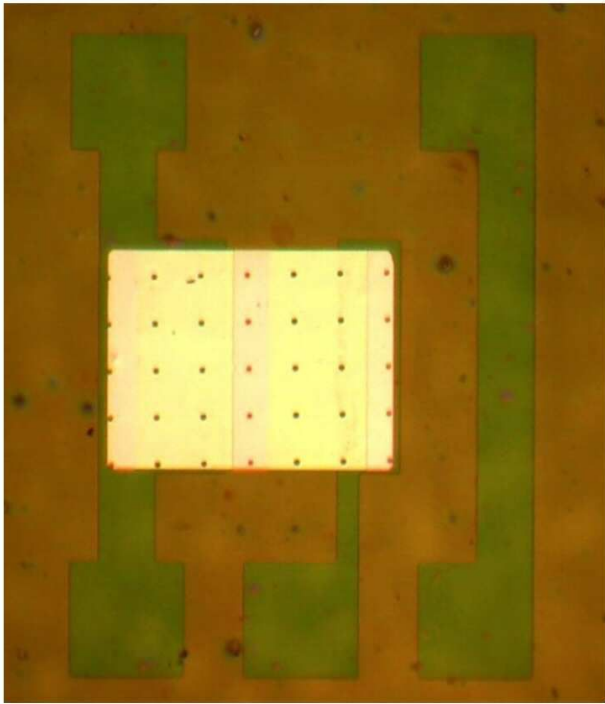
도면5



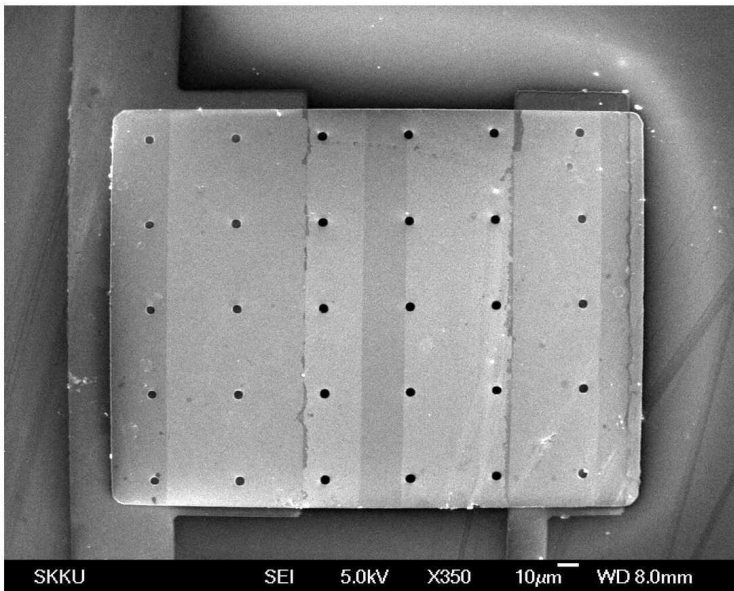
도면6



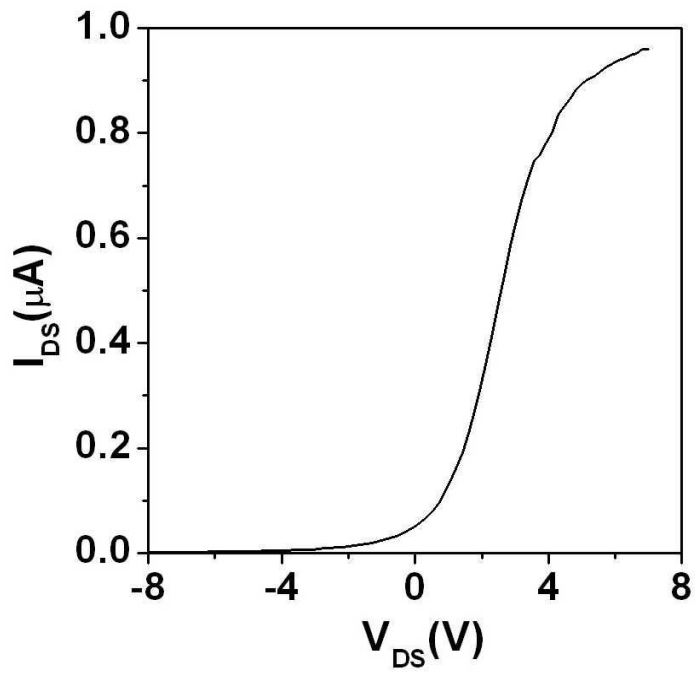
도면7



도면8



도면9



도면10

